

## Patent Abstracts of Japan

PUBLICATION NUMBER : 2001099627  
PUBLICATION DATE : 13-04-01

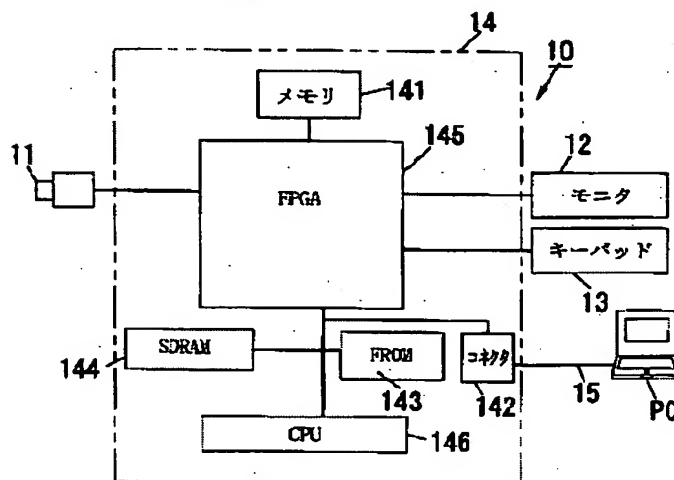
APPLICATION DATE : 22-12-99  
APPLICATION NUMBER : 11364914

APPLICANT : MATSUSHITA ELECTRIC WORKS LTD;

INVENTOR : OKAZOE ATSUSHI;

INT.CL. : G01B 11/24 G06T 7/00

TITLE : IMAGE PROCESSING SYSTEM AND  
ITS CONSTITUTING METHOD



10 画像処理システム

11 カメラ

12 モニタ

13 キーボード

14 画像処理装置

141 メモリ

142 コネクタ

143 FROM

144 SDRAM

145 FPGA

146 CPU

ABSTRACT : PROBLEM TO BE SOLVED: To enable a common design which is adaptive to many kinds of article variations.

SOLUTION: This system is equipped with one camera 11, a monitor 12, and a key pad 13 and further equipped with an image processor 14 comprising a memory 141 for display on the monitor 12, a connector 142 connected to a personal computer PC through a cable 15, an FROM 143 for storing configuration data and software data loaded from the personal computer PC through the connector 142, an SDRAM 144 for storing image data obtained by picking up an image by the camera 11, an FPGA 145, and a CPU 146 which performs total control over the image processor 14 according to the software data stored in the FROM 143. As the FPGA 145, an FPGA can be constituted into a circuit for control over multiple cameras 11, the monitor 12, the key pad 13, and the memory 141; and a circuit for storing image data of multiple images obtained by the cameras 11.

COPYRIGHT: (C)2001,JPO

BEST AVAILABLE COPY



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-99627

(P2001-99627A)

(43) 公開日 平成13年4月13日 (2001.4.13)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	キーワード* (参考)
G 0 1 B 11/24		G 0 1 B 11/24	K 2 F 0 6 J
G 0 6 T 7/00		G 0 6 F 15/70	3 3 0 N 5 L 0 9 6
			9 A 0 0 1

審査請求 未請求 請求項の数 9 O L (全 11 頁)

(21) 出願番号 特願平11-364914  
 (22) 出願日 平成11年12月22日 (1999.12.22)  
 (31) 優先権主張番号 特願平11-208752  
 (32) 優先日 平成11年7月23日 (1999.7.23)  
 (33) 優先権主張国 日本 (J P)

(71) 出願人 000005832  
 松下電工株式会社  
 大阪府門真市大字門真1048番地  
 (72) 発明者 西島 潤  
 大阪府門真市大字門真1048番地松下電工株式会社内  
 (72) 発明者 長岡 暁  
 大阪府門真市大字門真1048番地松下電工株式会社内  
 (74) 代理人 10008/767  
 弁理士 西川 恵清 (外 1 名)

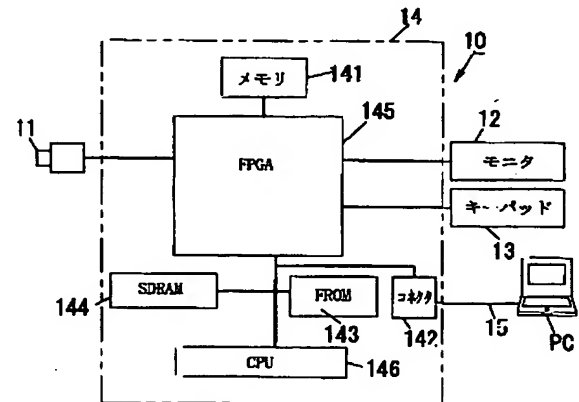
最終頁に続く

(54) 【発明の名称】 画像処理システムおよびその構成方法

(57) 【要約】

【課題】 多種の商品バリエーションに対応しうる共通設計を可能にする。

【解決手段】 1台のカメラ11、モニタ12およびキーパッド13を備えるほか、モニタ12に対する表示用のメモリ141と、ケーブル15を介してパソコンPCと接続されるコネクタ142と、このコネクタ142を介してパソコンPCからロードされるコンフィギュレーションデータおよびソフトデータ記憶用のFROM143と、1台のカメラ11の撮像により得られる画像データ記憶用のSDRAM144と、FPGA145と、FROM143に記憶のソフトデータに従って画像処理装置14全般の制御などを行うCPU146とで成る画像処理装置14を備えた。そして、FPGA145に、複数台のカメラ11、モニタ12、キーパッド13およびメモリ141の各制御用の回路と、複数台のカメラ11から得られる複数画像分の画像データ記憶用の回路とに構成可能なものを使用する。



10 画像処理システム

11 カメラ

12 モニタ

13 キーパッド

14 画像処理装置

141 メモリ

142 コネクタ

143 FROM

144 SDRAM

145 FPGA

146 CPU

## 【特許請求の範囲】

【請求項1】 少なくとも1台のカメラと、このカメラから得られる画像データ記憶用の回路に少なくとも構成されるFPGAを有し、このFPGAに記憶の画像データを利用して所定の測定を行う画像処理装置とを備える画像処理システム。

【請求項2】 前記画像処理装置は外部コンピュータからロードされるコンフィギュレーションデータ記憶用の第1メモリを備え、

前記FPGAは、前記第1メモリに記憶のコンフィギュレーションデータにより、前記少なくとも1台のカメラから得られる画像データ記憶用の回路に少なくとも構成される請求項1記載の画像処理システム。

【請求項3】 前記カメラを1台備え、前記FPGAは、前記第1メモリに記憶のコンフィギュレーションデータにより、前記1台のカメラから得られる画像データ記憶用の回路に少なくとも構成され、前記画像処理装置は、前記FPGAに記憶の画像データに対し画像処理を実行して前記測定を行い、この測定結果を利用して所定の検査を行う処理を実行するCPUと、前記検査結果に応じて前記FPGAに記憶の画像データを記憶する第2メモリとを備える請求項2記載の画像処理システム。

【請求項4】 前記カメラを複数台備え、前記FPGAは、前記第1メモリに記憶のコンフィギュレーションデータにより、前記複数台のカメラから得られる画像データ記憶用の回路に少なくとも構成され、前記画像処理装置は、前記FPGAに記憶の各画像データに対し画像処理を実行して前記測定を行い、これら測定結果を利用して所定の検査を行うCPUと、前記検査結果に応じて前記FPGAに記憶の画像データを複数画像分記憶する第2メモリとを備える請求項2記載の画像処理システム。

【請求項5】 前記画像処理装置は前記画像データ記憶用の個別メモリを複数枚搭載可能に予め構成され、前記第2メモリは前記画像処理装置に搭載される個別メモリにより構成される請求項3または4記載の画像処理システム。

【請求項6】 前記画像処理装置は前記カメラを複数台前記FPGAに接続可能に予め構成されて成る請求項5記載の画像処理システム。

【請求項7】 前記画像処理装置は、外部コンピュータからロードされるソフトデータ記憶用の個別メモリを第3メモリとして複数枚搭載可能に予め構成され、前記第3メモリとして搭載された個別メモリに記憶のソフトデータに従って、前記FPGAに記憶の画像データに対し画像処理を実行して前記測定を行う請求項1～6のいずれかに記載の画像処理システム。

【請求項8】 少なくとも1台のカメラと、このカメラから得られる画像データを利用して所定の測定を行う画

像処理装置とにより成る画像処理システムを構成する方法であって、

FPGAを、前記カメラから得られる画像データ記憶用の回路に少なくとも構成し、

前記FPGAに記憶の画像データを利用して前記測定を行うように前記画像処理装置を構成する画像処理システムの構成方法。

【請求項9】 前記FPGAを前記カメラから得られる画像データ記憶用の回路に少なくとも構成するためのコンフィギュレーションデータ記憶用の第1メモリを前記画像処理装置に具備し、

外部コンピュータを用いて前記コンフィギュレーションデータを前記第1メモリに記憶させる請求項8記載の画像処理システムの構成方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、工業用途の生産設備として、生産工程上の製品の良否判定などに使用される画像処理システムおよびその構成方法に関するものである。

## 【0002】

【従来の技術】図6は従来の画像処理システムの一例を示す構成図で、この画像処理システムは、1台のカメラ11と、モニタ12と、操作入力用のキーパッド13と、これら1台のカメラ11、モニタ12およびキーパッド13が接続される画像処理装置PA14とを備えている。

【0003】この画像処理装置PA14は、モニタ12に対する表示用のメモリ141と、ソフトデータ記憶用メモリとしてのFROM143と、1台のカメラ11の撮像により得られる画像データ記憶用メモリとしてのSDRAM144と、1台のカメラ11、モニタ12、キーパッド13およびメモリ141の各制御用の回路、および1台のカメラ11から得られる画像データ記憶用の回路を有するCMOS-IC構成のコントロール回路145pと、FROM143に記憶のソフトデータに従って画像処理装置PA14全般の制御などの処理を行うものであって、例えば、コントロール回路145pに記憶の画像データに対し画像処理を実行して所定の測定を行い、この測定結果を利用して外観などの所定の検査を行う処理を実行するCPU146とを備えている。

【0004】上記画像処理システムは1台のカメラ11を搭載する構成になっているが、工業用途の生産設備としての画像処理システムでは、複数台のカメラを搭載するシステム構成が標準となっている。

【0005】図7は複数台のカメラを搭載する従来の画像処理システムの一例を示す図で、この画像処理システムは、複数台のカメラ11と、モニタ12と、キーパッド13と、これら複数台のカメラ11、モニタ12およびキーパッド13が接続される画像処理装置PA24と

を備えている。

【0006】この画像処理装置PA24は、モニタ12に対する表示用のメモリ141と、ソフトデータ記憶用のFROM243と、複数台のカメラ11の撮像により得られる画像データ記憶用の複数のSDRAM144と、複数台のカメラ11、モニタ12、キーパッド13およびメモリ141の各制御用の回路、および複数台のカメラ11から得られる画像データ記憶用の回路を有し、CMOS-ICにより成るコントロール回路245pと、FROM243に記憶のソフトデータに従って画像処理装置PA24全般の制御などの処理を行うものであって、例えば、コントロール回路245pに記憶の各画像データに対し画像処理を実行して所定の測定を行い、これら測定結果を利用して外観などの所定の検査を行う処理を実行するCPU246とを備えている。

【0007】これにより、例えば、一の検査対象物の複数面に対する画像処理による外観検査などが一度で可能になる。

【0008】なお、特開平9-101268号公報には、被検査対象物の検査画像データを複数のウィンドウに分割して1プレーンとし、プレーンを構成するウィンドウ単位で欠陥の有無を判断する欠陥検査装置であって、同一の検査画像データについて互いにずれたウィンドウを有する複数のプレーンを設定するプレーン設定手段を有し、同一検査画像データを複数のプレーンに基づいて判断するものが開示されている。

【0009】

【発明が解決しようとする課題】一般的に従来の画像処理システムでは、画像処理装置は、CPUおよび複数のCMOS-ICなどを備え、カメラ毎にメモリ(SDRAM)を搭載する構成になっている。このような構成では、部品点数が増えると、基板サイズの大形化および実装コストの上昇を招き、コストパフォーマンスが低下するので、部品価格を引き下げることによってコストダウンが図られる場合がある。

【0010】例えば、図6の構成の画像処理システムでは、カメラを1台しか必要としなくても、画像処理装置に対して、複数台のカメラを備える画像処理システムの画像処理装置とあまり差のないコストがかかるために、1台のカメラで十分であるというユーザのニーズに合わせてコントロール回路を作成し、1台のカメラおよび1枚の画像メモリ用に基板を作成するなどしてコストダウンが図られる。この場合、図7の構成の画像処理システムでは、例えば、複数台のカメラの各々に対して1枚の画像メモリを割り当てる構成に基板が作成されることになる。

【0011】しかしながら、上記のコストダウンでは、商品のバリエーションを増やすと、勢いコストが上昇するという問題がある。つまり、商品のバリエーションを増やすと、上記コストダウンを図ることができないの

で、1台のカメラで十分であるというユーザ用の画像処理システムのコストが高くなるなどの問題が生じてしまうのである。

【0012】本発明は、上記事情に鑑みてなされたものであり、多種の商品バリエーションに対応しうる共通設計が可能な画像処理システムおよびその構成方法を提供することを目的とする。

【0013】

【課題を解決するための手段】上記課題を解決するために請求項1記載の発明の画像処理システムは、少なくとも1台のカメラと、このカメラから得られる画像データ記憶用の回路に少なくとも構成されるFPGAを有し、このFPGAに記憶の画像データを利用して所定の測定を行う画像処理装置とを備えるのである。

【0014】この構成では、FPGAを使用して画像処理装置を構成したので、この画像処理装置は少なくとも1台のカメラを備える画像処理システム用に使用可能となるから、多種の商品バリエーションに対応しうる共通設計が可能になる。

【0015】なお、請求項1記載の画像処理システムにおいて、前記画像処理装置は外部コンピュータからロードされるコンフィギュレーションデータ記憶用の第1メモリを備え、前記FPGAは、前記第1メモリに記憶のコンフィギュレーションデータにより、前記少なくとも1台のカメラから得られる画像データ記憶用の回路に少なくとも構成される場合(請求項2)、画像処理装置は、第1メモリに記憶させるべきコンフィギュレーションデータを変更するだけで、少なくとも1台のカメラを備える画像処理システム用に使用可能となるから、多種の商品バリエーションに対応しうる共通設計が可能になる。

【0016】また、請求項2記載の画像処理システムにおいて、前記カメラを1台備え、前記FPGAは、前記第1メモリに記憶のコンフィギュレーションデータにより、前記1台のカメラから得られる画像データ記憶用の回路に少なくとも構成され、前記画像処理装置は、前記FPGAに記憶の画像データに対し画像処理を実行して前記測定を行い、この測定結果を利用して所定の検査を行う処理を実行するCPUと、前記検査結果に応じて前記FPGAに記憶の画像データを記憶する第2メモリとを備える構成でもよい(請求項3)。この構成では、画像処理装置は、第1メモリに記憶させるべきコンフィギュレーションデータを変更するだけで、複数台のカメラを備える画像処理システム用に使用可能となるから、多種の商品バリエーションに対応しうる共通設計が可能になる。

【0017】また、請求項2記載の画像処理システムにおいて、前記カメラを複数台備え、前記FPGAは、前記第1メモリに記憶のコンフィギュレーションデータにより、前記複数台のカメラから得られる画像データ記憶

用の回路に少なくとも構成され、前記画像処理装置は、前記FPGAに記憶の各画像データに対し画像処理を実行して前記測定を行い、これら測定結果を利用して所定の検査を行うCPUと、前記検査結果に応じて前記FPGAに記憶の画像データを複数画像分記憶する第2メモリとを備える構成でもよい(請求項4)。この構成では、画像処理装置は、第1メモリに記憶させるべきコンフィギュレーションデータを変更するだけで、1台を含む所望台数のカメラを備える画像処理システム用に使用可能となるから、多種の商品バリエーションに対応する共通設計が可能になる。

【0018】また、請求項3または4記載の画像処理システムにおいて、前記画像処理装置は前記画像データ記憶用の個別メモリを複数枚搭載可能に予め構成され、前記第2メモリは前記画像処理装置に搭載される個別メモリにより構成される場合(請求項5)、例えば、複数枚の欠陥画像などの必要な画像が保存可能となる。

【0019】また、請求項5記載の画像処理システムにおいて、前記画像処理装置は前記カメラを複数台前記FPGAに接続可能に予め構成されて成る場合(請求項6)、画像処理装置は、第1メモリに記憶させるべきコンフィギュレーションデータを変更するだけで、所望台数のカメラを備える画像処理システム用に使用可能となるから、多種の商品バリエーションに対応する共通設計が可能になる。

【0020】さらに、請求項1～6のいずれかに記載の画像処理システムにおいて、前記画像処理装置は、外部コンピュータからロードされるソフトデータ記憶用の個別メモリを第3メモリとして複数枚搭載可能に予め構成され、前記第3メモリとして搭載された個別メモリに記憶のソフトデータに従って、前記FPGAに記憶の画像データに対し画像処理を実行して前記測定を行う構成でもよい(請求項7)。この構成では、第3メモリとして搭載された個別メモリを切り替えるだけで、測定の切替えが可能になって多種多様な測定が可能になるので、多種の商品バリエーションに対応する共通設計が可能になる。

【0021】請求項8記載の発明の画像処理システムの構成方法は、少なくとも1台のカメラと、このカメラから得られる画像データを利用して所定の測定を行う画像処理装置とにより成る画像処理システムを構成する方法であって、FPGAを、前記カメラから得られる画像データ記憶用の回路に少なくとも構成し、前記FPGAに記憶の画像データを利用して前記測定を行うように前記画像処理装置を構成するものである。

【0022】この方法では、画像処理装置は、FPGAに記憶の画像データを利用して測定を行うように構成されるので、少なくとも1台のカメラを備える画像処理システム用に使用可能となるから、多種の商品バリエーションに対応する共通設計が可能になる。

【0023】なお、請求項8記載の画像処理システムの構成方法において、前記FPGAを前記カメラから得られる画像データ記憶用の回路に少なくとも構成するためのコンフィギュレーションデータ記憶用の第1メモリを前記画像処理装置に具備し、外部コンピュータを用いて前記コンフィギュレーションデータを前記第1メモリに記憶させる場合(請求項9)、画像処理装置は、第1メモリに記憶させるべきコンフィギュレーションデータを変更するだけで、少なくとも1台のカメラを備える画像処理システム用に使用可能となるから、多種の商品バリエーションに対応する共通設計が可能になる。

【0024】

【発明の実施の形態】図1は本発明の画像処理システムに係る第1実施形態の構成図で、この図を用いて以下に第1実施形態の説明を、本発明の画像処理システムの構成方法に係る実施形態の説明とともに挙げる。

【0025】図1に示す画像処理システム10は、例えば検査対象物(図示せず)の撮像を行うTVカメラなどのデジタル式のカメラ11を1台備えるとともに、CRTまたはLCDなどにより成るモニタ12と、操作入力用のキーパッド13と、これら1台のカメラ11、モニタ12およびキーパッド13が接続される画像処理装置14とを備えている。

【0026】この画像処理装置14は、モニタ12に対する表示用のメモリ141と、RS232Cケーブルまたはネットワーク接続用ケーブルなどのケーブル15を介してパソコンPC(外部コンピュータ)と接続されるコネクタ142と、このコネクタ142を介してパソコンPCからロードされるコンフィギュレーションデータおよびソフトデータ記憶用であって、例えば不揮発性のフラッシュメモリにより成るFROM143(第1メモリおよび第3メモリ)と、1台のカメラ11の撮像により得られる画像データ記憶用であって、例えば揮発性のSRAMまたは(同期式)DRAMなどにより成るSDRAM144(第2メモリ)とを備えているほか、FPGA(field programmable gate array)145とCPU146とを備えている。

【0027】FPGA145は、FROM143に記憶のコンフィギュレーションデータにより所望の回路に構成されるものであって、そのコンフィギュレーションデータにより、1台のカメラ11、モニタ12、キーパッド13およびメモリ141の各制御用の回路と、1台のカメラ11から得られる画像データ記憶用の回路とを備える。ただし、FPGA145には、複数台のカメラ11、モニタ12、キーパッド13およびメモリ141の各制御用の回路と、複数台のカメラ11から得られる複数画像(フレーム)分の画像データ記憶用の回路とに構成可能なものが使用される。

【0028】CPU146は、FROM143に記憶のソフトデータに従って画像処理装置14全般の制御など

の処理を行うものであって、例えば、FPGA145に記憶の画像データに対し画像処理を実行して所定の測定を行い、この測定結果を利用して外観などの所定の検査を行う処理を実行する。ここで、上記測定および検査は画像処理システムの仕様によって当然に相違するのであるが、例えば、位置または形状などの各種測定が行われ、一の画像データに対して複数項目の測定および複数項目の検査が行われる場合もある。また、CPU146は、その検査結果で例えば不良になった画像データを後の検討などのためにSDRAM144に記憶する処理を行う。さらに、CPU146は、ISP(in system programming)機能により、コネクタ142を介したパソコンPCからのデータをSDRAM144に一旦蓄積し、指定されたFROM143に書き込む処理を実行する。

【0029】次に、上記構成の画像処理システム10を検査対象物の検査システムとして機能させるための構成手順を説明する。例えば、上記各部品を実装後、ケーブル15を介してパソコンPCと画像処理装置14とを接続し、コネクタ142を介したパソコンPCから、コンフィギュレーションデータおよびソフトデータを、CPU146経由でSDRAM144に一旦蓄積した後、FROM143にロードする。この後、画像処理装置14からケーブル15およびパソコンPCを切り離す。

【0030】これにより、FPGA145は、1台のカメラ11、モニタ12、キーパッド13およびメモリ141の各制御用の回路と、1台のカメラ11から得られる画像データ記憶用の回路とを備えるものとなる。また、CPU146は、FROM143に記憶のソフトデータに従って、FPGA145に記憶の画像データに対し画像処理を実行して測定を行い、この測定結果を利用して検査を行う処理を実行するとともに、その検査結果で例えば不良になった画像データをSDRAM144に記憶する処理を行うものとなる。

【0031】以上により、1台のカメラ11、モニタ12、キーパッド13および画像処理装置14により成る画像処理システム10が得られるのであるが、複数台のカメラ11、モニタ12、キーパッド13およびメモリ141の各制御用の回路と、複数台のカメラ11から得られる複数画像分の画像データ記憶用の回路とに構成可能なFPGA145を使用して画像処理装置14を構成したので、画像処理装置14は、このFROM143に記憶させるべきコンフィギュレーションデータおよびソフトデータを変更するだけで、複数台のカメラ11を備える画像処理システム用に使用可能となるから、多種の商品バリエーションに対応しうる共通設計が可能になる。このように、FPGAやPLDなどを用いて、カメラおよびメモリの搭載数を選択可能に画像処理装置を構成することで、仕様にあった部品だけを実装することが可能になるほかシステム構成の変更が容易になる。

【0032】なお、第1実施形態では、FPGAを例に

説明したが、FPGAに対して基本的なプロセスの違いはあるものの機能的には同様のPLDを使用してもよく、最大構成が大規模の場合にはFPGAを使用し、小規模の場合にはPLDを使用する使い分けが考えられる。

【0033】また、第1実施形態では、FPGA145により、カメラ11、モニタ12、キーパッド13およびメモリ141の各制御用の回路と、カメラ11から得られる画像データ記憶用の回路とが構成されるが、これに限らず、上記制御用の回路をFPGAとは別のICで構成し、そのFPGAをカメラ11から得られる画像データ記憶用の回路に構成するようにしてもよい。

【0034】さらに、上記構成手順では、コンフィギュレーションデータおよびソフトデータがいわゆるISP用ピンを介して基板(図示せず)上のFROM143にロードされる手順になっているが、これに限らず、コンフィギュレーションデータおよびソフトデータは予めFROM143に記憶され、このFROM143を画像処理装置14に単に組み込む手順でもよい。

【0035】図2は本発明の画像処理システムに係る第2実施形態の構成図で、この図を用いて以下に第2実施形態の説明を行う。

【0036】図2に示す画像処理システム20は、モニタ12およびキーパッド13を第1実施形態と同様に備えているほか、第1実施形態との相違点として、カメラ11を複数台備えているとともに画像処理装置24を備えている。なお、図2の例では、2台のカメラ11が図示されているが、2台に限らず3台や4台などでもよいのは言うまでもない。

【0037】この画像処理装置24は、メモリ141およびコネクタ142を第1実施形態の画像処理装置14と同様に備えているほか、画像処理装置14との相違点として、SDRAM144を複数備えているとともに、FROM243、FPGA245およびCPU246を備えている。

【0038】FROM243は、デバイスとしては図1に示したFROM143と同じものであるが、コネクタ142を介してパソコンPCからロードされる複数台のカメラ11用のコンフィギュレーションデータおよびソフトデータを記憶する点でFROM143と相違する。

【0039】FPGA245は、デバイスとしてはFPGA145と同じものであるが、FROM243に記憶のコンフィギュレーションデータにより、複数台のカメラ11、モニタ12、キーパッド13およびメモリ141の各制御用の回路と、複数台のカメラ11から得られる画像データ記憶用の回路とを備える点でFPGA145と相違する。なお、画像処理システム20が複数台のカメラ11を備えるので、モニタ12に対して分割表示処理を行う回路をFPGA245の上記制御用の回路に付加する構成でもよい。



【0040】CPU246は、デバイスとしてはCPU146と同じものであるが、FROM243に記憶のソフトデータに従って画像処理装置24全般の制御などの処理を行う点でCPU146と相違する。すなわち、CPU246は、FPGA245に記憶の各画像データに対し画像処理を実行して所定の測定を行い、これら測定結果を利用して所定の検査を行う処理を実行するとともに、それら検査結果で例えば不良になった画像データを後の検討などのために複数のSDRAM144に記憶する処理を行う。

【0041】次に、上記構成の画像処理システム20を検査対象物の検査システムとして機能させるための構成手順を説明する。例えば、上記各部品を実装して画像処理装置24をハード的に構成した後、ケーブル15を介してパソコンPCと画像処理装置24とを接続し、コネクタ142を介したパソコンPCから、上述のコンフィギュレーションデータおよびソフトデータを、CPU246経由でSDRAM144に一旦蓄積した後、FROM243にロードする。この後、画像処理装置24からケーブル15およびパソコンPCを切り離す。

【0042】これにより、FPGA245は、複数台のカメラ11、モニタ12、キーパッド13およびメモリ141の各制御用の回路と、複数台のカメラ11から得られる画像データ記憶用の回路とを備えるものとなる。また、CPU246は、FROM243に記憶のソフトデータに従って、FPGA245に記憶の各画像データに対し画像処理を実行して測定を行い、これら測定結果を利用して検査を行う処理を実行するとともに、それら検査結果で例えば不良になった画像データを複数のSDRAM144に記憶する処理を行うものとなる。

【0043】以上により、複数台のカメラ11、モニタ12、キーパッド13および画像処理装置24により成る画像処理システム20が得られるのであるが、画像処理装置24は、このFROM243に記憶させるべきコンフィギュレーションデータおよびソフトデータを変更するだけで、1台を含む所望台数のカメラ11を備える画像処理システム用に使用可能となるから、多種の商品バリエーションに対応しうる共通設計が可能になる。

【0044】図3は本発明の画像処理システムに係る第3実施形態の構成図で、この図を用いて以下に第3実施形態の説明を行う。

【0045】図3に示す画像処理システム30は、1台のカメラ11、モニタ12およびキーパッド13を第1実施形態と同様に備えているほか、第1実施形態との相違点として画像処理装置34を備えている。

【0046】この画像処理装置34は、メモリ141、コネクタ142およびFPGA145を第1実施形態の画像処理装置14と同様に備えているほか、画像処理装置14との相違点として、SDRAM144を所定最大数（図3の例では4枚）まで搭載可能に構成され、その

最大数よりも少ない複数（図3の例では2枚）のSDRAM144を備えているとともに、FROM343およびCPU346を備えている。

【0047】FROM343は、デバイスとしては図1に示したFROM143と同じものであるとともに、コネクタ142を介してパソコンPCからロードされ記憶するコンフィギュレーションデータも同じであるが、パソコンPCからロードされ記憶するソフトデータが異なる点でFROM143と相違する。

【0048】CPU346は、デバイスとしてはCPU146と同じものであるが、FROM343に記憶のソフトデータに従って画像処理装置34全般の制御などの処理を行う点でCPU146と相違する。すなわち、CPU346は、検査結果で例えば不良になった画像データを後の検討などのために搭載された複数のSDRAM144のいずれかに記憶する処理を行う。

【0049】次に、上記構成の画像処理システム30を検査対象物の検査システムとして機能させるための構成手順を説明する。例えば、上記各部品を実装して画像処理装置34をハード的に構成した後、ケーブル15を介してパソコンPCと画像処理装置34とを接続し、コネクタ142を介したパソコンPCから、上述のコンフィギュレーションデータおよびソフトデータを、CPU346経由でSDRAM144に一旦蓄積した後、FROM343にロードする。この後、画像処理装置34からケーブル15およびパソコンPCを切り離す。

【0050】これにより、FPGA145は、1台のカメラ11、モニタ12、キーパッド13およびメモリ141の各制御用の回路と、1台のカメラ11から得られる画像データ記憶用の回路とを備えるものとなる。また、CPU346は、FROM343に記憶のソフトデータに従って、FPGA145に記憶の画像データに対し画像処理を実行して測定を行い、この測定結果を利用して検査を行う処理を実行するとともに、その検査結果で例えば不良になった画像データを搭載された複数のSDRAM144のいずれかに記憶する処理を行うものとなる。

【0051】以上により、1台のカメラ11、モニタ12、キーパッド13および画像処理装置34により成る画像処理システム30が得られるのであるが、画像処理装置34は、このFROM343に記憶させるべきコンフィギュレーションデータおよびソフトデータを変更するだけで、所望台数のカメラ11を備える画像処理システム用に使用可能となるから、多種の商品バリエーションに対応しうる共通設計が可能になる。

【0052】また、複数枚のSDRAM144を搭載可能な基板に予め構成されるから、SDRAM144を必要枚数搭載すれば、複数枚の欠陥画像などの必要な画像が保存可能となる。

【0053】図4は本発明の画像処理システムに係る第



4実施形態の構成図で、この図を用いて以下に第4実施形態の説明を行う。

【0054】図4に示す画像処理システム40は、モニタ12およびキーパッド13を第1実施形態と同様に備えているほか、第1実施形態との相違点として、カメラ11を所定最大数（図4の例では4台）まで搭載可能に構成され、その最大数よりも少ない複数台（図4の例では2台）のカメラ11を備えているとともに、画像処理装置44を備えている。

【0055】この画像処理装置44は、メモリ141およびコネクタ142を第1実施形態の画像処理装置14と同様に備えているほか、画像処理装置14との相違点として、SDRAM144を所定最大数（図では4枚）まで搭載可能に構成され、その最大数よりも少ない複数（図では2枚）のSDRAM144を備えているとともに、FROM443、FPGA245およびCPU446を備えている。

【0056】FROM443は、デバイスとしては図1に示したFROM143と同じものであるが、コネクタ142を介してパソコンPCからロードされる複数台のカメラ11用のコンフィギュレーションデータおよびソフトデータを記憶する点でFROM143と相違する。

【0057】FPGA245は、デバイスとしてはFPGA145と同じものであるが、FROM443に記憶のコンフィギュレーションデータにより、複数台のカメラ11、モニタ12、キーパッド13およびメモリ141の各制御用の回路と、複数台のカメラ11から得られる画像データ記憶用の回路とを備える点でFPGA145と相違する。

【0058】CPU446は、デバイスとしてはCPU146と同じものであるが、FROM443に記憶のソフトデータに従って画像処理装置44全般の制御などの処理を行う点でCPU146と相違する。すなわち、CPU446は、FPGA245に記憶の各画像データに対し画像処理を実行して所定の測定を行い、これら測定結果を利用して所定の検査を行う処理を実行するとともに、それら検査結果で例えば不良になった画像データを後の検討などのために搭載された複数のSDRAM144のいずれかに記憶する処理を行う。

【0059】次に、上記構成の画像処理システム40を検査対象物の検査システムとして機能させるための構成手順を説明する。例えば、上記各部品を実装して画像処理装置44をハード的に構成した後、ケーブル15を介してパソコンPCと画像処理装置44とを接続し、コネクタ142を介したパソコンPCから、上述のコンフィギュレーションデータおよびソフトデータを、CPU446経由でSDRAM144に一旦蓄積した後、FROM443にロードする。この後、画像処理装置44からケーブル15およびパソコンPCを切り離す。

【0060】これにより、FPGA245は、複数台の

カメラ11、モニタ12、キーパッド13およびメモリ141の各制御用の回路と、複数台のカメラ11から得られる画像データ記憶用の回路とを備えるものとなる。また、CPU446は、FROM443に記憶のソフトデータに従って、FPGA245に記憶の各画像データに対し画像処理を実行して測定を行い、これら測定結果を利用して検査を行う処理を実行するとともに、それら検査結果で例えば不良になった画像データを搭載された複数のSDRAM144のいずれかに記憶する処理を行うものとなる。

【0061】以上により、複数台のカメラ11、モニタ12、キーパッド13および画像処理装置44により成る画像処理システム40が得られるのであるが、画像処理装置44は、このFROM443に記憶させるべきコンフィギュレーションデータおよびソフトデータを変更するだけで、所望台数のカメラ11を備える画像処理システム用に使用可能となるから、多種の商品バリエーションに対応しうる共通設計が可能になる。

【0062】また、複数枚のSDRAM144を搭載可能な基板に予め構成されるから、SDRAM144を必要枚数搭載すれば、複数枚の欠陥画像などの必要な画像が保存可能となる。

【0063】さらに、図4の例において、カメラ11を4台搭載し、そのうちの2台のカメラに対しては複数枚の画像データを残す必要があり、残りの2台のカメラに対しては画像データを残す必要がない場合、画像データを残す必要のある2台のカメラにSDRAM144を割り当てることで、効率的な画像データの保存が可能になる。

【0064】図5は本発明の画像処理システムに係る第5実施形態の構成図で、この図を用いて以下に第5実施形態の説明を行う。

【0065】図5に示す画像処理システム50は、モニタ12およびキーパッド13を第1実施形態と同様に備えているほか、第1実施形態との相違点として、カメラ11を所定最大数（図5の例では4台）備えているとともに、画像処理装置54を備えている。

【0066】この画像処理装置54は、メモリ141およびコネクタ142を第1実施形態の画像処理装置14と同様に備えているほか、画像処理装置14との相違点として、FROMをデバイスとして所定最大数（図5の例では4枚）まで搭載可能に構成され、その最大数よりも少ない複数のFROMを備えているとともに、SDRAM144を所定最大数（図5の例では4枚）備え、さらにFPGA545およびCPU546を備えている。図5では、FROM543a～543dのうちFROM543a、543bが具備されている。

【0067】FROM543a～543dの各々は、デバイスとしては図1に示したFROM143と同じもので、コネクタ142を介してパソコンPCからロードさ

れるコンフィギュレーションデータおよびソフトデータを記憶する。各FROMに記憶されるコンフィギュレーションデータおよびソフトデータは、当然に仕様により左右されるのであるが、通常、互いに異なり、いずれか1つのFROMに記憶されるコンフィギュレーションデータおよびソフトデータが図1に示したFROM143のそれらと同じになる場合もある。図5の例では、FPGA545に最大数のカメラ11が接続されるので、搭載されたFROM543a, 543bの一方には、最大数のカメラ11、モニタ12、キーパッド13およびメモリ141の各制御用の回路と、最大数のカメラ11から得られる画像データ記憶用の回路とにFPGA545を構成するためのコンフィギュレーションデータと、CPU546が、FPGA545に記憶の各画像データに対し画像処理を実行して所定の測定を行い、これら測定結果を利用して所定の検査を行うとともに、それら検査結果で例えば不良になった画像データを搭載された最大数のSDRAM144のいずれかに記憶する処理を実行するのに必要な処理手順を含むソフトデータとが記憶されることになる。

【0068】したがって、FPGA545は、搭載されたFROM543a, 543bのいずれかのコンフィギュレーションデータに応じて、カメラ11、モニタ12、キーパッド13およびメモリ141の各制御用の回路と、カメラ11から得られる画像データ記憶用の回路とを備える。また、CPU546は、搭載されたFROM543a, 543bのいずれかのソフトデータに従って、画像処理装置54全般の制御などの処理を行う。

【0069】次に、上記構成の画像処理システム50を検査対象物の検査システムとして機能させるための構成手順を説明する。例えば、上記各部品を実装して画像処理装置54をハード的に構成した後、ケーブル15を介してパソコンPCと画像処理装置54とを接続し、パソコンPCから、搭載されたFROM543a, 543bの各々にコンフィギュレーションデータおよびソフトデータを上記各実施形態と同様にSDRAM144経由でロードする。この後、画像処理装置54からケーブル15およびパソコンPCを切り離す。

【0070】これにより、FPGA545は、搭載されたFROM543a, 543bのいずれかのコンフィギュレーションデータに応じて、カメラ11、モニタ12、キーパッド13およびメモリ141の各制御用の回路と、カメラ11から得られる画像データ記憶用の回路とを備えるものとなる。また、CPU546は、搭載されたFROM543a, 543bのいずれかのソフトデータに従って、画像処理装置54全般の制御などの処理を行うものとなる。

【0071】以上により、画像処理装置54は、この各FROMに記憶させるべきコンフィギュレーションデータおよびソフトデータを変更するだけで、所望台数のカ

メラ11を備える画像処理システム用に使用可能になるとともに所望の画像処理を行うものとなるから、第5実施形態によれば、多種の商品バリエーションに対応しうる共通設計が可能になる。

【0072】しかも、ユーザサイドで、CPU546のアクセス先を、搭載されたFROM543a, 543bのいずれかに切り替えるだけで、本画像処理システム50のシステム構成を変更することができるとともに、検査の切替えが可能になって多種多様な検査が可能になるので、ユーザは、カメラ台数やメモリ容量を選択することで、用途にあった機能を得ることが可能となり、また生産者は、上記各部品を搭載する基板の共通化を図ることで（例えば複数台のカメラを接続可能に予め基板を構成しておくことで）、基板を作り替えたりすることなくカメラの搭載台数を変更することができるので、画像処理システムのコスト低減が可能になる。

【0073】さらに、画像処理システム50は、画像処理装置54が複数のソフトを持っており、多種多様な用途に使用可能になるので、単機能で十分なユーザあるいは複数の機能が必要なユーザの双方に対応可能となる。

【0074】

【発明の効果】以上のことから明らかなように、請求項1記載の発明によれば、少なくとも1台のカメラと、このカメラから得られる画像データ記憶用の回路に少なくとも構成されるFPGAを有し、このFPGAに記憶の画像データを利用して所定の測定を行う画像処理装置とを備えるので、多種の商品バリエーションに対応しうる共通設計が可能になる。

【0075】請求項2記載の発明によれば、請求項1記載の画像処理システムにおいて、前記画像処理装置は外部コンピュータからロードされるコンフィギュレーションデータ記憶用の第1メモリを備え、前記FPGAは、前記第1メモリに記憶のコンフィギュレーションデータにより、前記少なくとも1台のカメラから得られる画像データ記憶用の回路に少なくとも構成されるので、多種の商品バリエーションに対応しうる共通設計が可能になる。

【0076】請求項3記載の発明によれば、請求項2記載の画像処理システムにおいて、前記カメラを1台備え、前記FPGAは、前記第1メモリに記憶のコンフィギュレーションデータにより、前記1台のカメラから得られる画像データ記憶用の回路に少なくとも構成され、前記画像処理装置は、前記FPGAに記憶の画像データに対し画像処理を実行して前記測定を行い、この測定結果を利用して所定の検査を行う処理を実行するCPUと、前記検査結果に応じて前記FPGAに記憶の画像データを記憶する第2メモリとを備えるので、多種の商品バリエーションに対応しうる共通設計が可能になる。

【0077】請求項4記載の発明によれば、請求項2記載の画像処理システムにおいて、前記カメラを複数台備

え、前記FPGAは、前記第1メモリに記憶のコンフィギュレーションデータにより、前記複数台のカメラから得られる画像データ記憶用の回路に少なくとも構成され、前記画像処理装置は、前記FPGAに記憶の各画像データに対し画像処理を実行して前記測定を行い、これら測定結果を利用して所定の検査を行うCPUと、前記検査結果に応じて前記FPGAに記憶の画像データを複数画像分記憶する第2メモリとを備えるので、多種の商品バリエーションに対応しうる共通設計が可能になる。

【0078】請求項5記載の発明によれば、請求項3または4記載の画像処理システムにおいて、前記画像処理装置は前記画像データ記憶用の個別メモリを複数枚搭載可能に予め構成され、前記第2メモリは前記画像処理装置に搭載される個別メモリにより構成されるので、例えば、複数枚の欠陥画像などの必要な画像が保存可能となる。

【0079】請求項6記載の発明によれば、請求項5記載の画像処理システムにおいて、前記画像処理装置は前記カメラを複数台前記FPGAに接続可能に予め構成されて成るので、多種の商品バリエーションに対応しうる共通設計が可能になる。

【0080】請求項7記載の発明によれば、請求項1～6のいずれかに記載の画像処理システムにおいて、前記画像処理装置は、外部コンピュータからロードされるソフトデータ記憶用の個別メモリを第3メモリとして複数枚搭載可能に予め構成され、前記第3メモリとして搭載された個別メモリに記憶のソフトデータに従って、前記FPGAに記憶の画像データに対し画像処理を実行して前記測定を行うので、多種の商品バリエーションに対応しうる共通設計が可能になる。

【0081】請求項8記載の発明によれば、少なくとも1台のカメラと、このカメラから得られる画像データを利用して所定の測定を行う画像処理装置とにより成る画像処理システムを構成する方法であって、FPGAを、前記カメラから得られる画像データ記憶用の回路に少なくとも構成し、前記FPGAに記憶の画像データを利用して前記測定を行うように前記画像処理装置を構成するので、多種の商品バリエーションに対応しうる共通設計

が可能になる。

【0082】請求項9記載の発明によれば、請求項8記載の画像処理システムの構成方法において、前記FPGAを前記カメラから得られる画像データ記憶用の回路に少なくとも構成するためのコンフィギュレーションデータ記憶用の第1メモリを前記画像処理装置に具備し、外部コンピュータを用いて前記コンフィギュレーションデータを前記第1メモリに記憶させるので、多種の商品バリエーションに対応しうる共通設計が可能になる。

#### 【図面の簡単な説明】

【図1】本発明の画像処理システムに係る第1実施形態の構成図である。

【図2】本発明の画像処理システムに係る第2実施形態の構成図である。

【図3】本発明の画像処理システムに係る第3実施形態の構成図である。

【図4】本発明の画像処理システムに係る第4実施形態の構成図である。

【図5】本発明の画像処理システムに係る第5実施形態の構成図である。

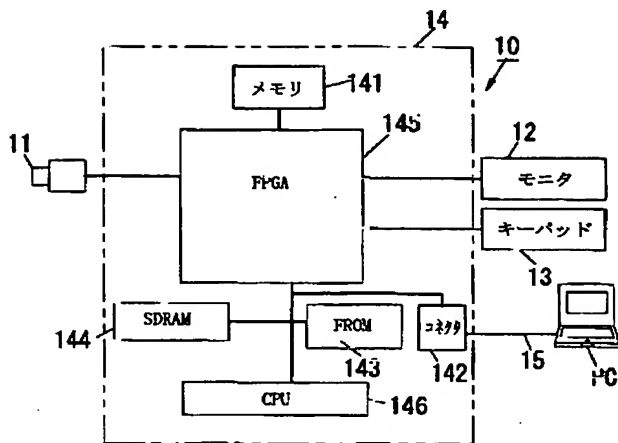
【図6】従来の画像処理システムの一例を示す構成図である。

【図7】複数台のカメラを搭載する従来の画像処理システムの一例を示す図である。

#### 【符号の説明】

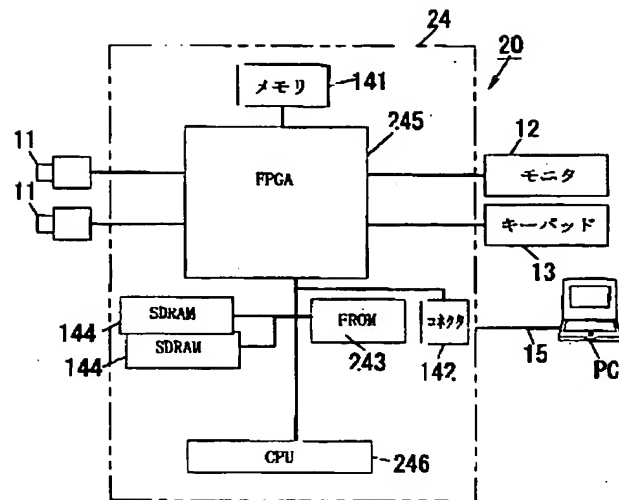
- 10, 20, 30, 40, 50 画像処理システム
- 11 カメラ
- 12 モニタ
- 13 キーパッド
- 14, 24, 34, 44, 54 画像処理装置
- 141 メモリ
- 142 コネクタ
- 143, 243, 343, 443, 543a, 543b FROM
- 144 SDRAM
- 145, 245, 545 FPGA
- 146, 246, 346, 446, 546 CPU

【図1】

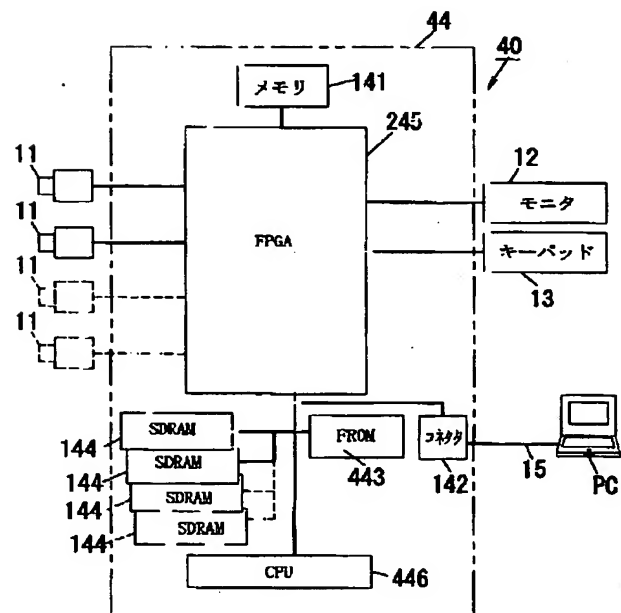


- 10 画像処理システム  
 11 カメラ  
 12 モニタ  
 13 キーボード  
 14 画像処理装置  
 141 メモリ  
 142 コネクタ  
 143 FROM  
 144 SDRAM  
 145 FPGA  
 146 CPU

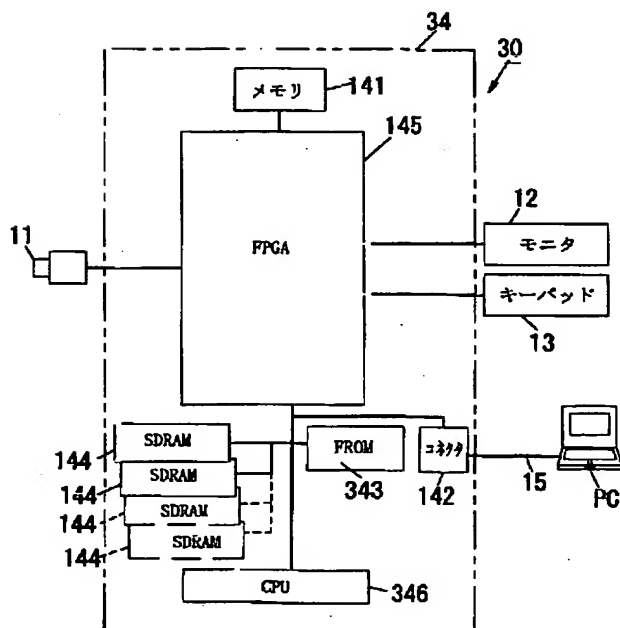
【図2】



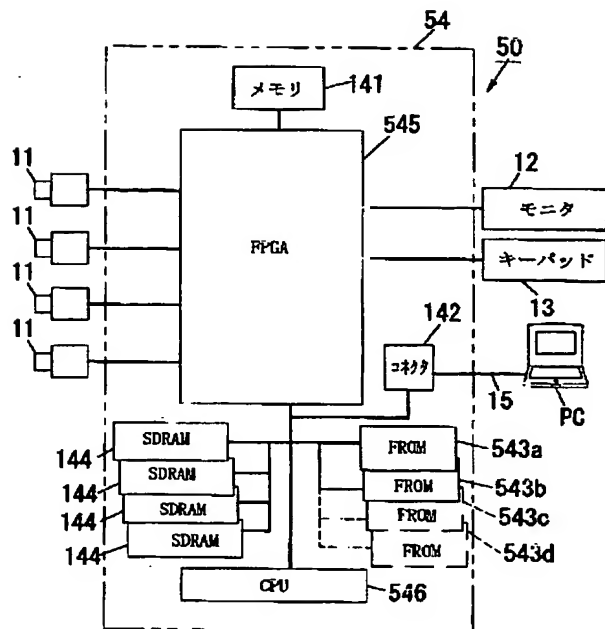
【図4】



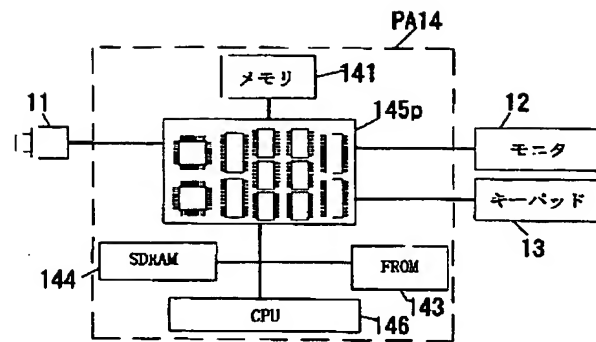
【図3】



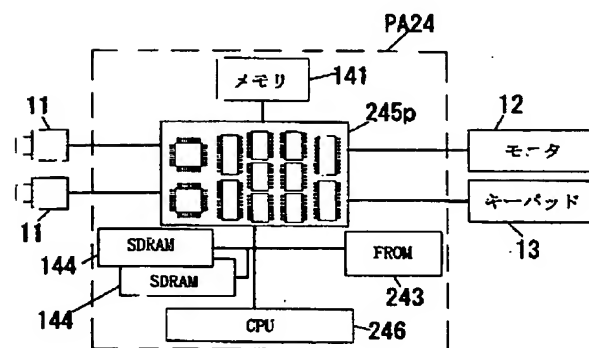
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 岡副 篤  
大阪府門真市大字門真1048番地松下電工株  
式会社内

Fターム(参考) 2F065 AA51 FF01 FF04 JJ03 JJ05  
JJ19 QQ24 QQ31 SS13 UU05  
5L096 BA03 CA02 LA03 LA05  
9A001 BB05 HH34 KZ54 LL05